

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-110865  
(43)Date of publication of application : 12.04.2002

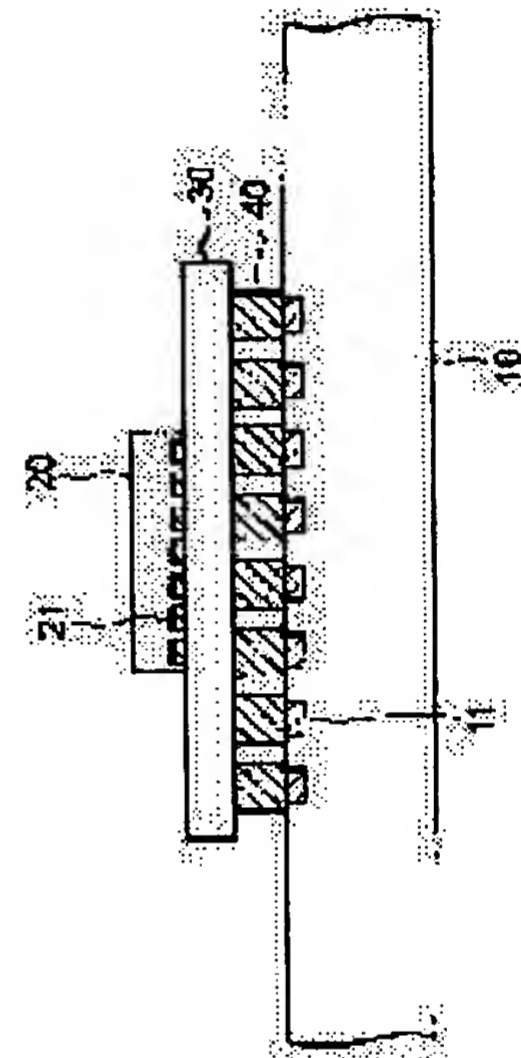
(51)Int.Cl. H01L 23/32

(21)Application number : 2000-295230 (71)Applicant : TOSHIBA CORP  
(22)Date of filing : 27.09.2000 (72)Inventor : MATSUO MIE  
HAYASAKA NOBUO

**(54) CIRCUIT DEVICE****(57)Abstract:**

**PROBLEM TO BE SOLVED:** To provide a circuit device in which burden on a semiconductor integrated circuit chip can be reduced.

**SOLUTION:** The circuit device comprises a base substrate 10 having a first terminal 11 formed on a major surface, a semiconductor integrated circuit chip 20 having a second terminal 21 formed on a surface facing the major surface of the base substrate, and an interposer 30 interposed between the base substrate and the semiconductor integrated circuit chip and connecting the first and second terminals wherein the interposer is formed using a semiconductor substrate on which at least a semiconductor active element is formed.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号  
特開2002-110865  
(P2002-110865A)

(43)公開日 平成14年4月12日 (2002. 4. 12)

|                          |      |               |            |
|--------------------------|------|---------------|------------|
| (51)Int.Cl. <sup>7</sup> | 識別記号 | F I           | テームト* (参考) |
| H 0 1 L 23/32            |      | H 0 1 L 23/32 | D          |

審査請求 未請求 請求項の数2 O L (全 5 頁)

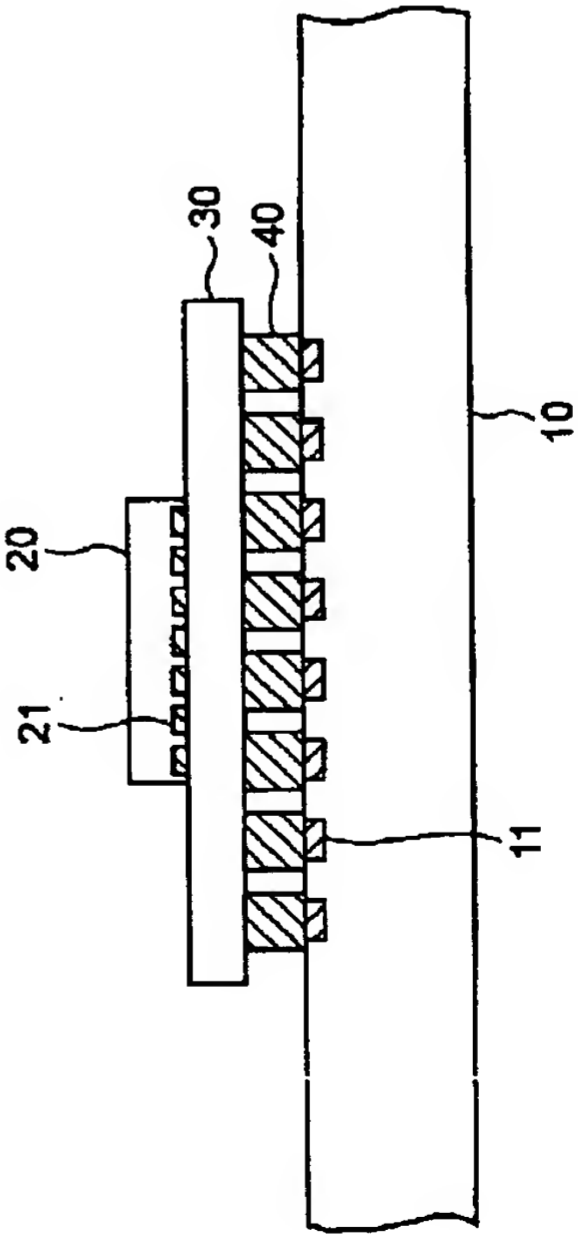
|          |                             |         |   |
|----------|-----------------------------|---------|---|
| (21)出願番号 | 特願2000-295230(P2000-295230) | (71)出願人 | 000003078<br>株式会社東芝<br>東京都港区芝浦一丁目1番1号       |
| (22)出願日  | 平成12年9月27日(2000. 9. 27)     | (72)発明者 | 松尾 美恵<br>神奈川県横浜市磯子区新杉田町8番地 株<br>式会社東芝横浜事業所内 |
|          |                             | (72)発明者 | 早坂 伸夫<br>神奈川県横浜市磯子区新杉田町8番地 株<br>式会社東芝横浜事業所内 |
|          |                             | (74)代理人 | 100058479<br>弁理士 鈴江 武彦 (外6名)                |

(54)【発明の名称】 回路装置

(57)【要約】

【課題】 半導体集積回路チップの負担を低減することが可能な回路装置を提供する。

【解決手段】 主面上に第1の端子11が形成されたベース基板10と、ベース基板の主面に対向する面上に第2の端子21が形成された半導体集積回路チップ20と、ベース基板と半導体集積回路チップとの間に設けられ、第1の端子と第2の端子とを接続するためのインターポーザー30とを備えた回路装置であって、インターポーザーは半導体基板を用いて形成され、該半導体基板には少なくとも半導体能動素子が形成されている。



1

## 【特許請求の範囲】

【請求項1】主面上に第1の端子が形成されたベース基板と、

前記ベース基板の主面に対向する面上に第2の端子が形成された半導体集積回路チップと、

前記ベース基板と前記半導体集積回路チップとの間に設けられ、前記第1の端子と前記第2の端子とを接続するためのインターポーザーとを備えた回路装置であって、前記インターポーザーは半導体基板を用いて形成され、該半導体基板には少なくとも半導体能動素子が形成されていることを特徴とする回路装置。

【請求項2】主面上に第1の端子が形成されたベース基板と、

前記ベース基板の主面側に形成され、前記第1の端子と評価対象となる半導体集積回路基板上に形成された第2の端子とを接続するためのインターポーザーとを備えた回路装置であって、

前記インターポーザーは半導体基板を用いて形成され、該半導体基板には、前記半導体集積回路基板の評価を行うための、少なくとも半導体能動素子を含む回路部が形成されていることを特徴とする回路装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、回路装置に関する。

## 【0002】

【従来の技術】高速、高集積LSI（例えば、ASIC）では、チップ面積が大きくなり、信号遅延が深刻な問題となるため、例えば信号の遅延やタイミングのずれを制御するリピータ等の回路をチップ内に組み込んでい30る。しかしながら、リピータにはトランジスタ等の能動素子が必要となるため、チップ面積が増大し、それによって信号の遅延等がさらに増大するといった問題が生じる。

【0003】また、高速、高集積LSIに対し、高速信号の波形やタイミングを評価する場合、一般にLSIの端子数が多く狭ピッチであることから、評価用のアナライザとの間でインピーダンス整合をはかってロスのない正確な評価を行うことは容易ではない。

## 【0004】

【発明が解決しようとする課題】このように、高速、高集積の半導体集積回路チップ（LSIチップ）では、信号遅延を制御するために、リピータ等の回路をチップ内に組み込むが、チップ面積の増大等、LSIチップの負担が大きくなるといった問題があった。また、高速、高集積の半導体集積回路基板（LSI基板）を評価する場合にも、ロスのない正確な評価を行うことが困難であるといった問題があった。

【0005】本発明は上記従来の課題に対してなされたものであり、半導体集積回路チップの負担を低減するこ50

2

とが可能な回路装置を提供すること、並びに、半導体集積回路基板に対してロスのない正確な評価を行うことが可能な回路装置を提供することを目的としている。

## 【0006】

【課題を解決するための手段】本発明に係る回路装置は、主面上に第1の端子が形成されたベース基板と、前記ベース基板の主面に対向する面上に第2の端子が形成された半導体集積回路チップと、前記ベース基板と前記半導体集積回路チップとの間に設けられ、前記第1の端子と前記第2の端子とを接続するためのインターポーザーとを備えた回路装置であって、前記インターポーザーは半導体基板を用いて形成され、該半導体基板には少なくとも半導体能動素子が形成されていることを特徴とする。

【0007】また、本発明に係る回路装置は、主面上に第1の端子が形成されたベース基板と、前記ベース基板の主面側に形成され、前記第1の端子と評価対象となる半導体集積回路基板上に形成された第2の端子とを接続するためのインターポーザーとを備えた回路装置であって、前記インターポーザーは半導体基板を用いて形成され、該半導体基板には、前記半導体集積回路基板の評価を行うための、少なくとも半導体能動素子を含む回路部が形成されていることを特徴とする。

## 【0008】

【発明の実施の形態】以下、本発明の実施形態を図面を参照して説明する。

【0009】（実施形態1）図1は、本発明の第1の実施形態の構成例を模式的に示した図である。

【0010】ベース基板10（マザーボード等）とLSIチップ20（半導体集積回路チップ）の間には、ベース基板10の対向面上に形成された端子11と、LSIチップ20の対向面上に形成された端子21とを接続するためのインターポーザー30が配置されている。このインターポーザー30は、シリコン基板等の半導体基板を用いて作製されており、後述するように種々の回路要素が形成されている。ベース基板10とインターポーザー30の間は、BGA等の導電性接続部40によって接続されている。

【0011】図2は、インターポーザー30の外観及びLSIチップ20の外観を示した斜視図である。

【0012】インターポーザー30には、端子31及びスルーホール導電部32が形成されており、端子31はLSIチップ20の端子21とバンプ22を介して接続され、スルーホール導電部32は図1に示したベース基板10の端子11と導電性接続部40を介して接続される。

【0013】図3は、図1及び図2に示したインターポーザー30の詳細な断面構成（図2のA-A'に沿った断面構成）を示した図である。

【0014】インターポーザー30には、上述した端子

## 3

31及びスルーホール導電部32の他、種々の回路要素が形成されている。すなわち、インターポージャー30の半導体基板本体30a上にはトランジスタ等の半導体能動素子33が形成されており、この半導体能動素子33は配線33aによって端子31やスルーホール導電部32に接続されている。また、半導体基板本体30a上に形成された絶縁膜34の部分には、抵抗素子35、キャパシタ素子36及びスパイラル状のインダクタ素子37といった受動素子が形成され、これらも配線によって端子31やスルーホール導電部32に接続されている。さらに、半導体能動素子33、抵抗素子35、キャパシタ素子36及びインダクタ素子37の相互間も配線によって接続されている。

【0015】このように、インターポージャー30には、種々の回路要素が形成されており、これらの回路要素によってリピータ等の回路が構成されている。リピータ等の回路をインターポージャー30内に形成することにより、LSIチップ20内にリピータ等を内蔵する必要がないため、LSIチップの面積が低減されてLSIチップの負担が減るとともに、LSIチップの面積低減効果によってLSIチップ内の信号遅延等の問題を緩和することができる。

【0016】（実施形態2）図4は、本発明の第2の実施形態の構成例を模式的に示した図である。本例は、評価用のLSIが複数形成されたLSIウエハ120（半導体集積回路基板）の評価（測定）を行うものであるが、ベース基板110に外部評価装置を接続する他、インターポージャー130内に評価用の回路部を設けている。

【0017】ベース基板110の対向面側には、ベース基板110の端子111と、LSIウエハ120の対向面上に形成された端子121とを接続するためのインターポージャー130が配置されている。このインターポージャー130は、シリコン基板等の半導体基板を用いて作製されており、後述するように種々の回路要素が形成されている。ベース基板110とインターポージャー130との間には、BGA等の導電性接続部140によって接続されており、インターポージャー130の対向面上にはLSIウエハ120との導通をとるために異方導電性のコンタクト部（コンタクター150）が設けられている。

【0018】図5は、主として図4に示したインターポージャー130の詳細な断面構成を示した図である。

【0019】インターポージャー130には、端子131及びスルーホール導電部132の他、種々の回路要素が形成されている。すなわち、インターポージャー130の半導体基板本体130a上にはトランジスタ等の半導体能動素子によって構成された回路部133が形成されており、この回路部133は絶縁膜134の部分に形成された配線133aによって端子131やスルーホール導電部132に接続されている。なお、回路部133に

## 4

は、半導体能動素子の他、抵抗素子、キャパシタ素子及びインダクタ素子等の受動素子が形成されていてもよい。

【0020】回路部133は、主としてLSIウエハ120に形成されたLSIの評価を行うための評価用回路として機能するものであり、例えばシグナルジェネレータ、周波数メータ、オシレーター等のLSIを評価するための回路が形成されている。このように、インターポージャー130内に評価用の回路部133を形成することにより、評価機能の一部をインターポージャー130内の回路部133に持たせることができ、LSIの端子数が多くても、高速信号の波形やタイミングに関してロスのない正確な評価を容易に行うことができる。

【0021】以上、本発明の実施形態を説明したが、本発明は上記実施形態に限定されるものではなく、その趣旨を逸脱しない範囲内において種々変形して実施することが可能である。さらに、上記実施形態には種々の段階の発明が含まれており、開示された構成要件を適宜組み合わせることによって種々の発明が抽出され得る。例えば、開示された構成要件からいくつかの構成要件が削除されても、所定の効果が得られるものであれば発明として抽出され得る。

【0022】

【発明の効果】本発明によれば、インターポージャーを半導体基板を用いて形成し、該半導体基板に半導体能動素子を形成するようにしたので、半導体集積回路チップの負担を低減することが可能となる。また、本発明によれば、インターポージャーを半導体基板を用いて形成し、該半導体基板に半導体集積回路基板の評価を行うための回路部を形成するようにしたので、半導体集積回路基板に対してロスのない正確な評価を行うことが可能となる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態の構成例を模式的に示した図。

【図2】本発明の第1の実施形態に係り、インターポージャー及びLSIチップの外観を示した斜視図。

【図3】本発明の第1の実施形態に係り、インターポージャーの詳細な断面構成を示した図。

【図4】本発明の第2の実施形態の構成例を模式的に示した図。

【図5】本発明の第2の実施形態に係り、インターポージャー等の詳細な断面構成を示した図。

【符号の説明】

10、110…ベース基板

11、111…ベース基板の端子

20…LSIチップ

21…LSIチップの端子

22…バンプ

30、130…インターポージャー

30a、130a…半導体基板本体

5

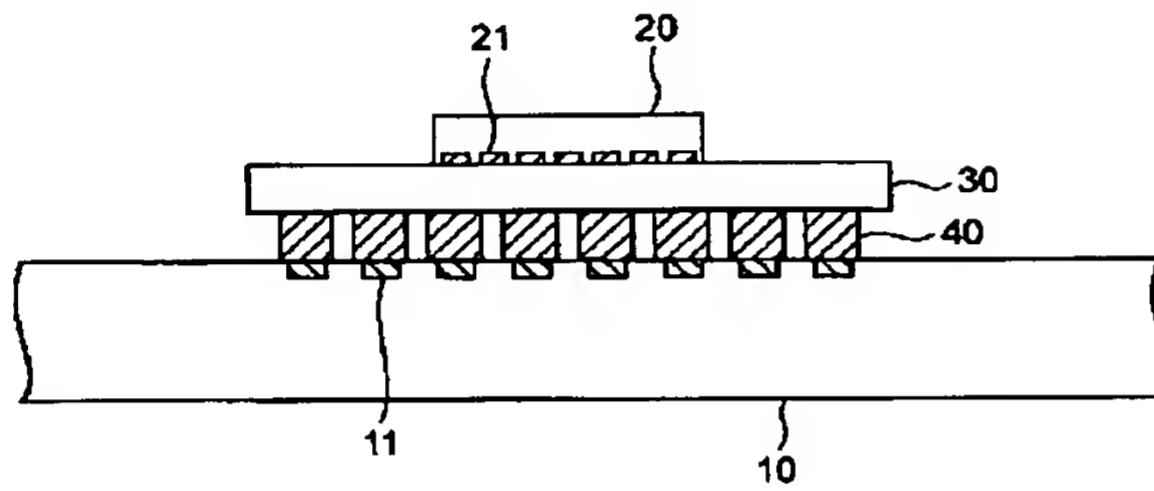
31、131…インターポザーの端子  
 32、132…スルーホール導電部  
 33…半導体能動素子  
 33a、133a…配線  
 34、134…絶縁膜  
 35…抵抗素子  
 36…キャパシタ素子

6

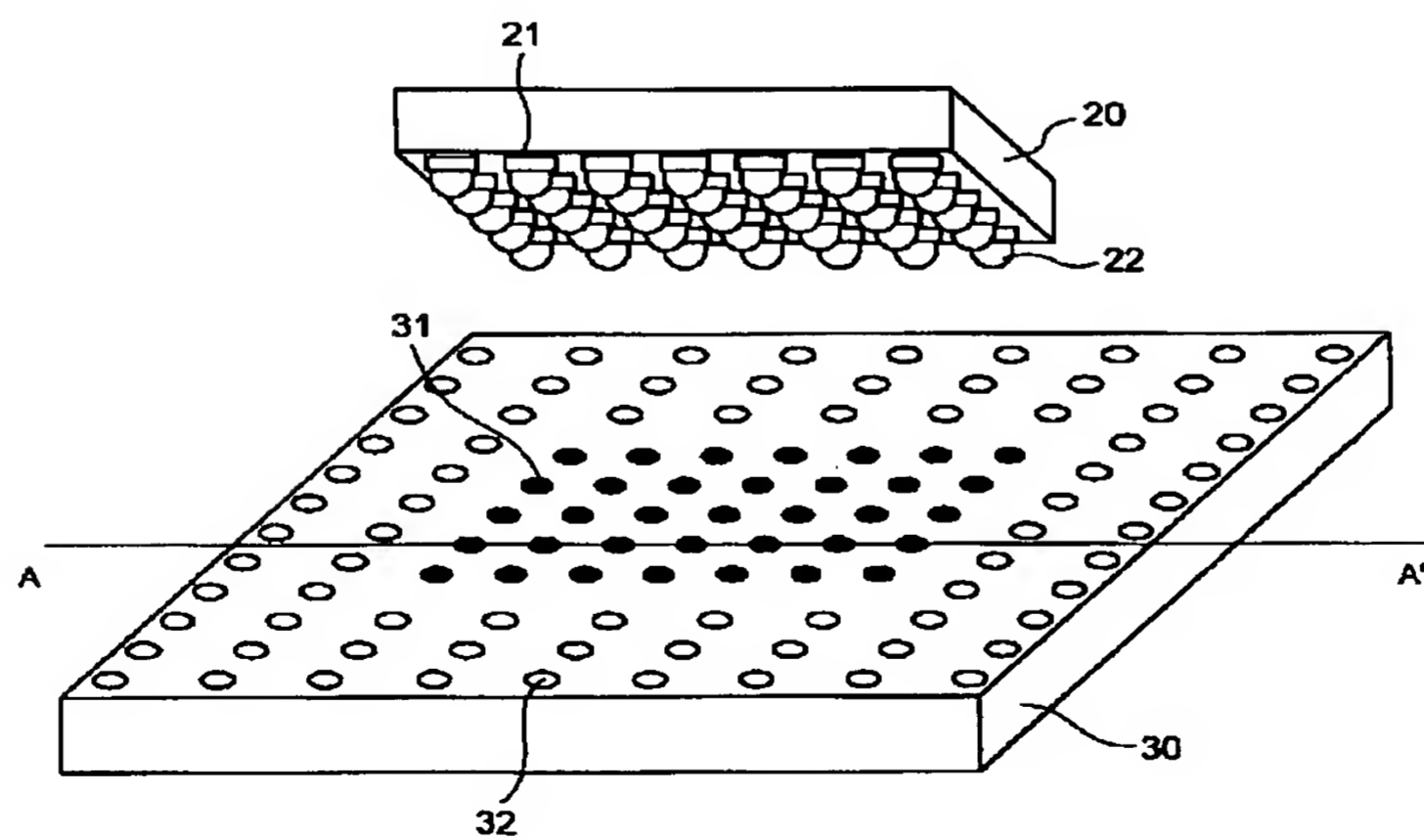
\*37…インダクタ素子  
 40、140…導電性接続部  
 120…LSIウエハ  
 121…LSIウエハの端子  
 133…回路部  
 150…コンタクター

\*

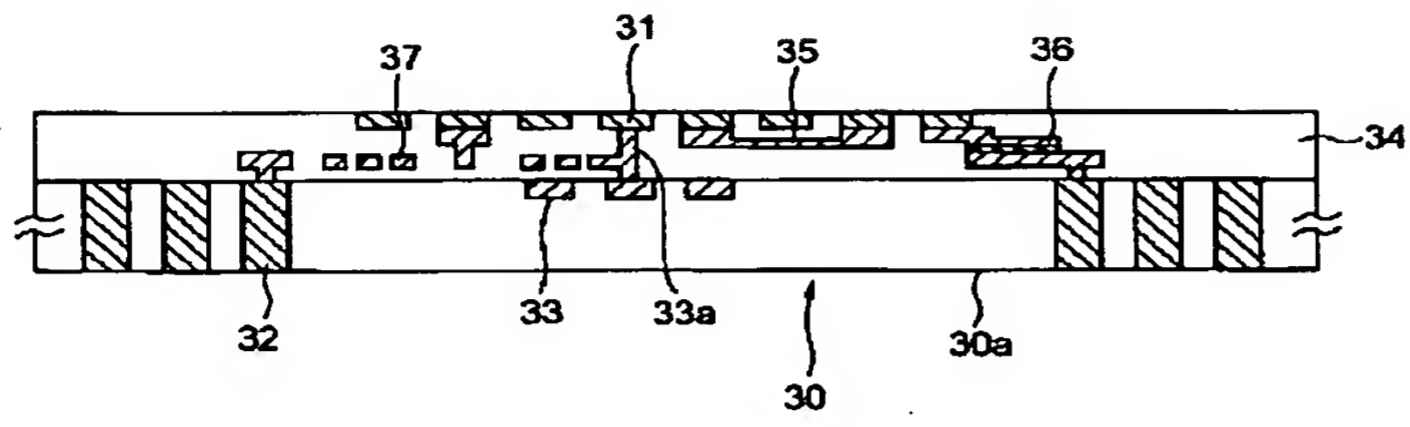
【図1】



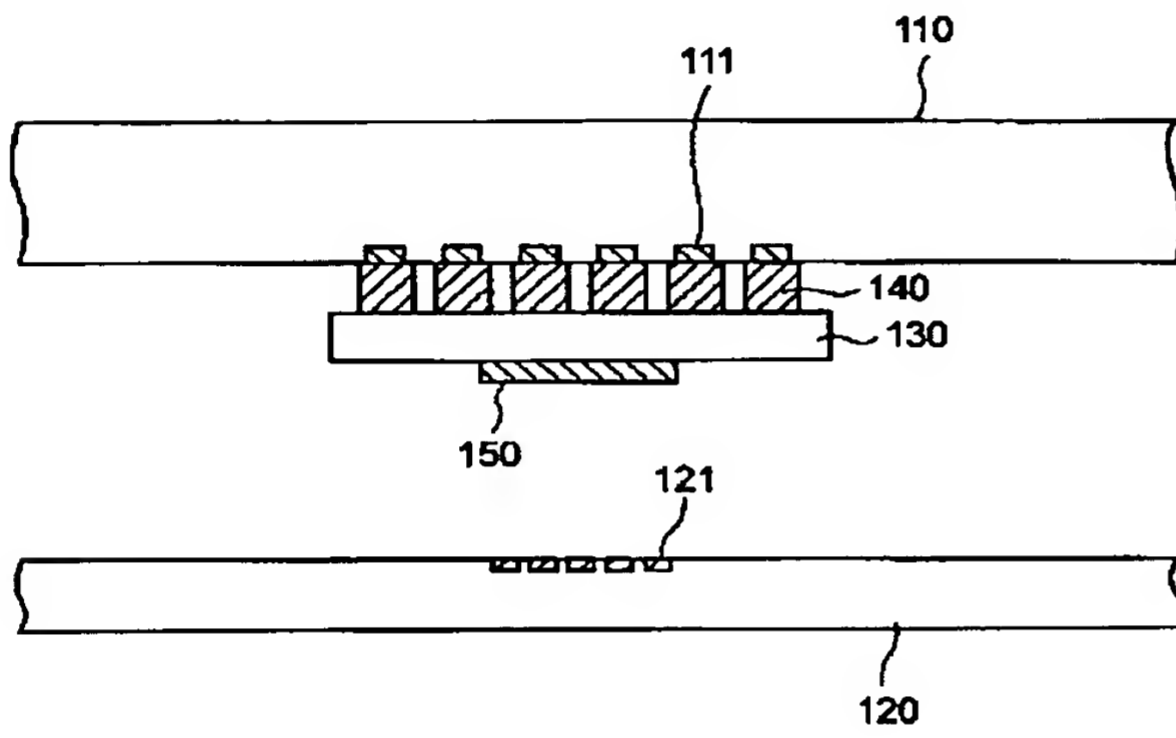
【図2】



【図3】



【図4】



【図5】

